

Bit Width에 따른 삼각함수 알고리즘 성능 분석

김정호, 유호영*

충남대학교 전자공학과

e-mail : jhkim.cas@gmail.com, hyyoo@cnu.ac.kr

Analysis of Triangular Function Algorithm Performance According to Bit Width

Jeongho Kim and Hoyoung Yoo*
Department of Electronics Engineering
Chungnam National University

Abstract

Various elementary functions are used for digital signal processing. The methods of implementing this elementary function include LUT(Look Up Table), Taylor series and cordial algorithm. In this paper, we implement triangular functions, which are representative elementary functions, and analyzes the accuracy and area performance of each algorithm according to bit

I. 서론

하드웨어를 이용한 Digital Signal Processing을 위해서는 삼각함수, 지수함수, 로그함수 등 다양한 초등함수(Elementary)가 필요하다. 이런 초등함수를 구현하기 위해서 여러 가지 알고리즘이 존재하는데 대표적으로 LUT(Look Up Table) [1], CORDIC 알고리즘 [2], 테일러 급수 방식 [3]이 있다.

LUT방식은 입력과 출력을 매칭시키는 방식으로 가장 구현이 쉽고 정확도가 높으나 하드웨어 resource가 매우 크다.

CORDIC알고리즘은 회전 벡터를 이용해서 solution을 찾아가는 알고리즘이다. CORDIC 알고리즘의 삼각함수의 식은 식 (1)과 같다. z_0 는 입력이고 $x_0=1.646$, $y_0=0$ 의 초기값을 가진다.

$$\begin{aligned}x_{i+1} &= x_i - y_i \cdot d_i \cdot 2^{-i} \\y_{i+1} &= y_i + x_i \cdot d_i \cdot 2^{-i} \\z_{i+1} &= z_i - d_i \cdot \tan^{-1}(2^{-i}), \\ \text{when} \\d_i &= +1(x_i < 0) \\d_i &= -1(x_i \geq 0)\end{aligned} \quad (1)$$

테일러 급수는 식 (2)와 같이 특정 함수를 무한히 많은 항으로 전개하는 방법이다. 그 중 매클로린 급수를 이용하면 삼각함수를 식 (3)과 같이 표현할 수 있다.

$$T_f(x) = \sum_{n=0}^{\infty} \frac{f^{(n)}(a)}{n!} (n-a)^n, \quad (2)$$

$$\begin{aligned}\sin x &= \sum_{n=0}^{\infty} \frac{(-1)^n}{(2n+1)!} x^{2n+1} \\ \cos x &= \sum_{n=0}^{\infty} \frac{(-1)^n}{(2n)!} x^{2n}\end{aligned}, \quad (3)$$

II. 구현

본 논문에서는 삼각함수를 구현하는 3가지 알고리즘에 대해서 Synopsys Design Compiler를 이용하여 삼성 28nm CMOS 공정에서 200MHz 환경에서 구현하였다. 하드웨어로 구현된 알고리즘을 이용해 bit width의 변화에 따른 Accuracy와 Area를 분석하였다.

하드웨어 구현을 위해 signed magnitude 방식을 이용하였고 1bit의 부호와, 1bit의 정수부를 고정값으로 사용하였다.

표 1은 bit width에 따른 알고리즘들의 최대 오차를 정리한 표이다. Accuracy는 식 (4)와 같이 정의한다. bit resolution에 대한 Accuracy는 그림 1과 같다.

$$\text{Accuracy} = 1 / \text{maximum error} , \quad (4)$$

표2는 삼성 28nm CMOS 공정 200MHz 환경에서 각 알고리즘을 구현하였을 때 bit width에 따른 면적이다. nand gate의 크기는 $0.468 \mu\text{m}^2$ 으로 Equivalent gate count는 식 (5)와 같이 정의한다. Bit width에 대한 Equivalent gate count는 그림 2와 같다.

$$\text{Equivalent gate count} = \text{area} / 0.468\mu\text{m}^2 , \quad (5)$$

Bit width에 따른 Performance를 비교하기 위해 Performance에 대한 Accuracy와 Equivalent gate count간의 관계를 정의한다. Bit width에 대한 Accuracy가 높을수록 Performance가 좋고, Area가 작을수록 Performance가 좋으므로 Performance를 식 (6)과 같이 정의한다. Bit width에 따른 Performance는 그림 3과 같다.

$$\text{Performance} = \text{Accuracy} / \text{Equivalent gate count} , \quad (6)$$

표1. Bit width에 따른 알고리즘 별 최대 오차

Bit width	LUT	CORDIC	TAYLOR
5	0.237703	0.749942	0.502505
6	0.119712	0.185433	0.502505
7	0.059964	0.145987	0.115105
8	0.030168	0.080192	0.093692
9	0.015255	0.068523	0.046817
10	0.007443	0.025227	0.039062
11	0.003743	0.011169	0.017578
12	0.001903	0.004777	0.016601
13	0.000956	0.002204	0.020862
14	0.000478	0.001472	0.019950
15	0.000234	0.000740	0.023210

표2. Bit width에 따른 알고리즘 별 면적

Bit width	LUT	CORDIC	TAYLOR
5	7.83	177.48	187.20
6	15.79	197.96	287.58
7	30.42	227.68	407.39
8	52.18	261.84	548.26
9	116.88	290.39	710.77
10	208.884	325.49	893.17
11	365.39	355.56	1095.70
12	661.05	393.82	1559.96
13	1044.57	427.51	1559.96
14	3043.17	464.60	1823.67
15	5450.21	490.81	2110.68

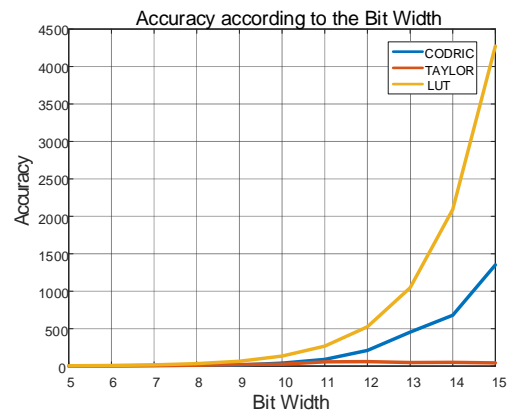


그림 1. Bit width에 따른 Accuracy

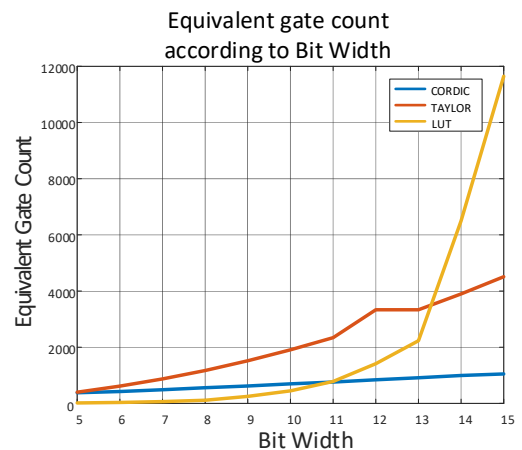


그림 2. Bit width에 따른 Equivalent Gate Count

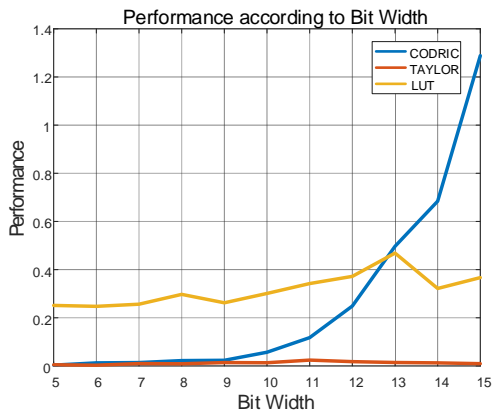


그림 3. Bit width에 따른 Performance

III. 결과 분석

그림 3의 결과를 비교한 결과 LUT는 bit width가 증가함에 따라 Accuracy가 증가하지만 equivalent gate count도 함께 증가함으로 전 영역에서 일정 수준의 Performance를 유지한다.

CORDIC알고리즘은 bit width가 작을 때 테일러 급수와 비슷한 Performance를 가지지만 bit width가 증가함에 따라 지속적인 Performance 향상을 보여준다. Bit width가 13bit를 넘어설 때 가장 큰 Performance를 보여준다.

테일러 급수는 전영역에서 낮은 Performance를 보여준다.

IV 결론

Bit width가 5bit~13bit일 때 LUT의 Performance가 가장 좋다. 그러나 LUT는 bit width가 증가함에 따라 Accuracy가 증가함과 동시에 Equivalent gate count도 증가하기 때문에 일정 수준 이상의 Performance를 기대하기 어렵다. 13bit이상의 width에서 CORDIC 알고리즘의 Performance가 가장 좋다. Bit width가 증가함에 따라 Accuracy가 지속적으로 증가함에 비해 Equivalent gate count의 증가율이 크지 않기 때문이다. 삼각함수를 하드웨어로 구현할 때 사용하는 Bit width에 따라 13bit를 기준으로 LUT와 CORDIC알고리즘을 선택하여 사용하는 것이 효율적이다.

Acknowledgments

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (No. 2022R1A5A8026986), supported by Institute of Information & communications Technology Planning & Evaluation (IITP) grant funded by the Korea government(MSIT) (2022-0-01170, PIM 반도체 설계연구센터), and the EDA tool was supported by the IC Design Education Center(IDECE), Korea

참고문헌

- [1] Dong, Xiao, Xiaolei Zhu, and De Ma. "Hardware implementation of softmax function based on piecewise LUT." 2019 IEEE International Workshop on Future Computing (IWOFc. IEEE, 2019.
- [2] Andraka, Ray. "A survey of CORDIC algorithms for FPGA based computers." Proceedings of the 1998 ACM/SIGDA sixth international symposium on Field programmable gate arrays. 1998.
- [3] Nilsson, Peter, et al. "Hardware implementation of the exponential function using Taylor series." 2014 NORCHIP. IEEE, 2014.