

FPGA 기반 노외중성자속 감시계통 개발

신건, 양희훈, 최소연, 유호영*
충남대학교 공과대학 전자공학과

FPGA-based ex-core neutron flux monitoring system development

Geon Shin, Heehun Yang, Soyeon Choi, Hoyoung Yoo*

Electronics Engineering Department

Chungnam National University

E-mail : gshin.cas@gmail.com, hhyang.cas@gmail.com, sychoi.cas@gmail.com, *hyyoo@cnu.ac.kr

Abstract

In this paper, we propose a digital implementation of ENFMS in the start-up range. This is implemented as an FPGA using the KCU105 evaluation Board. Digital ENFMS in the start-up range is manufactured after ADC and consists of pulse shaper, Signal/Noise discriminator, and pulse counter. Pulse shaper reduces the width of neutron and gamma-ray signals. Signal/Noise discriminator converts neutron and gamma-ray signals to digital signals of 1 and 0 based on threshold. Counts the number of neutrons each time the converted digital signal is inverted through pulse counter. The higher the accuracy of the digital ENFMS, the more accurate the instantaneous power generated by the reactor can be predicted.

I. 서론

노외중성자속 감시계통(ENFMS: Ex-core Neutron Flux Monitoring System, 이하 ENFMS 로 표기)은 원자로 밖에서 중성자속을 측정하여 원자력 발전소의 순시전력을 예측하고, 안정적인 유지관리에 활용되는 장비이다.

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2021R111A3055806) and This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (No.2022R1A5A8026986).

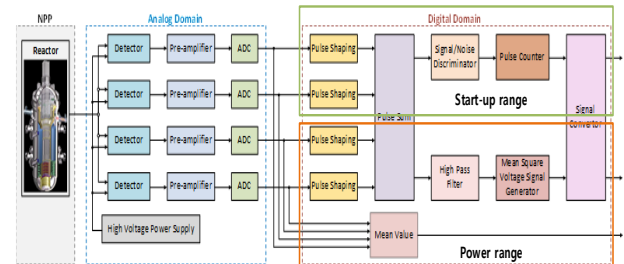


그림 1. 아날로그 회로부와 디지털 회로부가 분리된 ENFMS

현재 사용하고 있는 아날로그 ENFMS 은 오랫동안 사용해 온 회로로, 향후 노후화에 의한 성능 저하 등 유지보수에 필요한 비용증가가 불가피하다. 또한 새로운 설계기술을 적용한 회로를 개발하고 교체하는데 많은 시간과 비용이 필요하다는 문제점이 있다[1]. 이와 같은 이유로 최근 ENFMS 의 디지털화 필요성이 대두되고 있다. 하지만 아날로그 ENFMS 의 Detector 에서 탐지하는 신호와 그 출력 신호는 매우 빠르고 작기 때문에, Detector 와 Pre-Amplifier 는 디지털 회로로 구현함에 어려움이 있다. 본 논문에서는 FPGA 를 이용하여 그림 1 과 같이 ADC 이후부터 Start-up range 구간과 Power range 로 나누어, Start-up range 구간의 ENFMS 를 디지털 회로로 구현하는 방법을 제안한다.

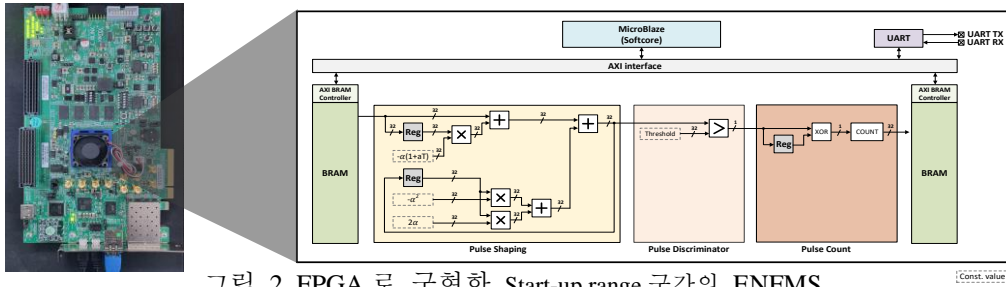
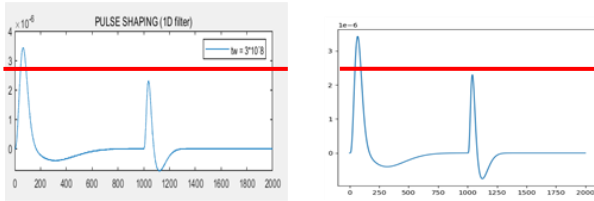


그림 2. FPGA 로 구현한 Start-up range 구간의 ENFMS



(a) MATLAB pulse shaper (b) FPGA pulse shaper

그림 3. Pulse shaping 결과 및 threshold

II. Start-up range 구간 ENFMS

2.1 Pulse shaper

원자로에서는 중성자뿐만 아니라 감마선 또한 탐지된다. 감마선의 신호를 분별하고 중성자 신호만을 연산 처리해야 정확한 순시전력 예측이 가능해진다. 따라서 중성자와 감마선 신호를 정확히 분별하기 위해 pulse shaping 과정이 필요하다. Pulse shaper 는 CR-(RC)ⁿ filter 로 구현 가능하다. CR-RC¹ filter 의 전달함수는 $(z^2 - \alpha(1+aT))/(z-\alpha)^2$ 와 같고, 이를 상 계수 차분방정식으로 표현하면 $y[n] = 2\alpha y[n-1] - \alpha^2 y[n-2] + x[n] - \alpha(1+aT)x[n-1]$ 과 같다[2]. 본 논문에서는 CR-RC¹ filter 를 FPGA 를 이용해 그림 2 와 같이 구현하였으며, 덧셈기 3 개, 곱셈기 3 개, 2 개의 레지스터를 사용했다.

2.2 Signal/Noise discriminator & Pulse counter

Start-up range 구간에서 pulse 검출 알고리즘은 pulse count mode 라 불리며, detector 에 감지되는 중성자 pulse 신호의 개수를 셈하여 flux density 를 계산해 순시전력을 예측하는 알고리즘이다. Start-up range 구간은 원자로의 순시전력 생산량이 $10^{-10}[\%] \sim 10^{-2}[\%]$ 일 때를 말한다. Pulse shaping 된 신호를 threshold 기준으로 감마선 신호를 제거하고 중성자신호 만을 선별한다. 선별된 중성자 신호를 1 과 0 의 디지털 신호로 디지털화 한다. 디지털

화된 중성자 신호가 반전될 때 마다 카운터를 동작 시켜 중성자 신호의 개수를 연산한다. 그림 2 와 같이 구현하였으며, 비교기 1 개, 레지스터 1 개, XOR 게이트 1 개, 카운터 1 개를 사용했다.

III. 실험 결과 및 결론

본 논문에서는 Xilinx 사의 Kintex Ultrascale KCU105 평가보드를 사용하여 그림 2 와 같이 Start-up range 구간의 ENFMS 를 실제로 구현하였다. 동작주파수는 100MHz 로 설정하였으며, 합성결과 LUT 20,130 개, LUTRAM 1,242 개, FF 28,461 개, BRAM 116 개, DSP 79 개 가 사용되었다. 그림 3 은 MATLAB 과 FPGA 로 구현한 pulse shaper 의 결과이다. 중성자 신호와 감마선 신호 데이터를 FPGA 로 구현한 pulse shaper 에 입력한 뒤, MATLAB 으로 구현한 pulse shaper 결과와 동일함을 확인하며 FPGA pulse shaper 의 동작을 검증하였다. 동일한 threshold 로 FPGA pulse counter 를 동작을 시켰을 때 MATLAB pulse counter 결과와 일치함을 확인했다. 본 개발은 아날로그 ENFMS 를 디지털화 함으로써 기존 ENFMS 의 성능개선과 유지비용 감소를 제공한다.

참고문헌

- [1] Kim, Young Baik, Felipe P. Vista IV, and Kil To Chong. "Study on analog-based ex-core neutron flux monitoring systems of Korean nuclear power plants for digitization." Nuclear Engineering and Technology 53.7 (2021): 2237-2250.
- [2] M. Nakhostin, "Recursive Algorithms for Real-Time Digital CR-(RC)ⁿ Pulse Shaping," in IEEE Transactions on Nuclear Science, vol. 58, no. 5, pp. 2378-2381, Oct. 2011, doi: 10.1109/TNS.2011.2164556.