

유한 상태 기계를 위한 결함 감내 시스템 분석

박지운, 최소연, 김현규, 류도현, 유호영
충남대학교

전화: (042)821-6585, E-mail: hyyoo@cnu.ac.kr

Analysis on Fault Tolerant Systems for Finite State Machines

Jiwoon Park, Soyeon Choi, Hyeonkyu Kim, Dohyun Ryu, and Hoyoung Yoo
Chungnam National University

요약

유한 상태 기계 (Finite-State Machine, FSM)은 디지털 회로의 컨트롤 패스를 설계하기 위하여 일반적으로 적용되며, 디지털 회로의 동작을 결정하는 제어 신호를 생성하기 때문에 다른 회로 보다 중요도가 높다. 유한 상태 기계 (FSM) 내 오류가 발생할 경우 현재 상태가 의도하지 않은 상태로 변하게 되고 이로 인하여 원하지 않은 출력을 생성하게 되기 때문에 유한 상태 기계 (FSM) 내 결함 감내 시스템은 필수적이다. 본 논문에서는 유한 상태 기계 (FSM) 에 삼중 중복 (Triple Modular Redundancy, TMR) 기법과 해밍 부호화 (Hamming Codes) 기법을 적용하여 오류정정능력과 하드웨어 측면에서 결함 감내 시스템의 성능을 분석한다.

Abstract

A Finite-State Machine (FSM) is mainly used to implement a control path in a digital circuit. When an error or fault occurs in a FSM, the current state unexpectedly changes into an unintended state resulting in abnormal outputs. Thus, fault tolerant system is necessary due to the importance of the FSMs. We analyze fault tolerant systems including Triple Modular Redundancy (TMR) and Hamming codes on FSMs in terms of error correction performance and hardware complexity.

Keywords: 유한 상태 기계, 결함 감내 시스템, 장애 허용 시스템, 삼중 중복, 해밍 부호화.

I. 서론

일반적으로 디지털 회로는 데이터패스와 컨트롤패스로 나뉘어 구성된다. 데이터패스는 데이터들이 이동할 수 있는 경로에 해당하는 회로를 의미하며, 컨트롤패스는 데이터패스를 제어하는 신호를 생성하는 일체의 회로를 의미한다. 전통적으로 컨트롤 패스를 설계하기 위하여 유한 상태 기계 (Finite-State Machine, FSM)을 널리 적용한다[1]. 유한 상태 기계 (FSM) 에서 하나의 상태는 과거의 입력들의 정보를 함축적으로 표현하고, 현재 상태에서 주어진 입력에 의하여 다음 상태로 전이하며, 주어진 상태와

입력에 따라 출력이 결정된다[1]. 유한 상태 기계 (FSM) 의 구현은 1) 현재 상태를 저장하는 상태 레지스터, 2) 다음 상태를 결정하는 차기 상태 결정 회로, 3) 출력 생성 회로로 구성된다.

유한 상태 기계 (FSM) 는 디지털 회로의 동작을 결정하는 제어 신호를 생성하기 때문에 다른 회로 보다 중요도가 높다. 특히 항공, 국방, 우주 산업과 같이 디지털 회로의 동작 환경이 열악한 경우 결함이 발생하여도 정상적 혹은 부분적으로 기능을 할 수 있는 결함 감내 시스템의 중요도는 더욱 강조된다[1]. 예를 들어 높은 에너지를 가진 입자가 전자기기 내 회로와 부딪혀 Single Event Upset (SEU)을 발생시

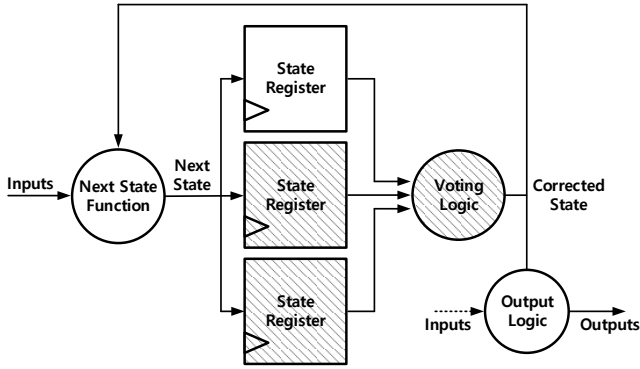


그림1. 삼중 중복 (TMR) 기법을 적용한 유한 상태 기계 (FSM) 의 구성도.

키는데, 이로 인하여 전자기기 내부의 플립 플롭이나 메모리 셀 내 상태를 변화시키기도 한다[2]. 유한 상태 기계 (FSM) 내 SEU가 발생할 경우 현재 상태가 의도하지 않은 상태로 변하게 되고 이로 인하여 원하지 않은 출력을 생성하게 된다. 따라서 출력의 과급 효과가 큰 디지털 시스템인 경우 유한 상태 기계 (FSM) 내 결함 감내 시스템이 필수적이다. 본 논문에서는 유한 상태 기계 (FSM) 에 삼중 중복 (Triple Modular Redundancy, TMR) [3] 기법과 해밍 부호화 (Hamming Codes) [4] 기법을 적용하여 오류정정능력과 하드웨어 측면에서 결함 감내 시스템의 성능을 분석하고 이를 통해 효율적인 솔루션을 제공하고자 한다.

II. 본론

삼중 중복 (TMR) [3] 기법은 디지털 회로에서 오류에 민감한 부분을 삼 중화 하여 구현한다. 삼중화된 회로를 병렬적으로 동작 시키고, 회로의 결과를 다수결에 의해 결정하여 최종 출력을 생성한다. 유한 상태 기계 (FSM) 에 삼중 중복 (TMR) [3] 을 적용하면 그림 1 과 같이 구현 가능하다. 그림 1 은 기존의 유한 상태 기계 (FSM) 에서 상태 레지스터를 동일하게 삼 중화하고 다수결 결정 회로를 추가하여, 동일한 기능을 수행하는 상태 레지스터 중 하나의 레지스터에서 오류가 발생할 경우 다수결에 의하여 오류의 정정이 가능하다. 따라서 삼중 중복 (TMR) [3] 회로가 적용된 유한 상태 기계 (FSM) 에서 오류가 발생할 확률은 식 (1)과 같다.

$$FER_{TMR} = 1 - ((1-p)^3 + 3p(1-p)^2)^s \quad (1)$$

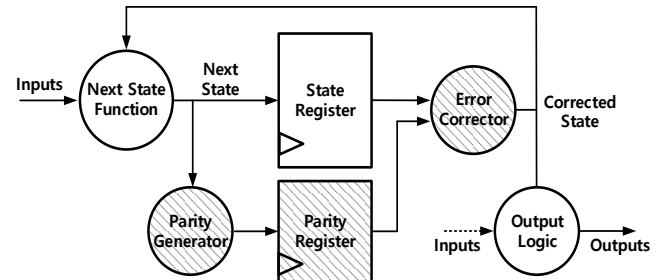


그림2. 해밍 부호화 (Hamming Codes) 기법을 적용한 유한 상태 기계 (FSM) 의 구성도.

이 때 p 는 하나의 플립 플롭에서 오류가 발생할 확률이며, s 는 상태 레지스터의 비트 크기이다. 다수결 결정 회로가 각 비트에 대해 오류를 정정하므로 s 는 독립적인 영향을 미친다. 오류발생확률이 조합회로보다 순차회로에서 지배적이므로, 조합회로에 대해서는 오류가 발생하지 않는다고 가정을 하였다.

삼중 중복 (TMR) [3] 기법과 달리 상태 레지스터를 부호화 하여 오류로부터 회로를 보호하는 기법인 부호화 기법 또한 결함 감내 시스템으로써 널리 적용된다. 주어진 상태 레지스터에 대하여 추가적인 패리티 정보를 활용함으로써 오류에 대하여 상태 레지스터의 데이터를 보호한다. 그림 2 는 해밍 부호화 (Hamming Codes) [4] 기법이 적용된 유한 상태 기계 (FSM) 의 구조를 나타낸다. 기존의 유한 상태 기계 (FSM) 에서 상태 레지스터에 추가적으로 패리티 레지스터가 존재하며, 패리티를 생성하는 회로와 오류의 검출/정정을 수행하는 회로가 추가적으로 필요하다[4].

해밍 부호화 (Hamming Codes) [4] 기법의 오류정정능력은 해밍 길이에 의해 결정이 되는데 해밍 길이 n 을 가지는 해밍 부호화 (Hamming Codes) [4] 기법은 유효한 코드워드 사이에 최소 해밍 길이를 n 이상으로 유지하여 $\lfloor n/2 - 1 \rfloor$ 이상의 오류 정정이 가능하다[4]. 해밍 길이 n 을 가지는 해밍 부호화 (Hamming Codes) [4] 기법의 경우 오류정정능력은 식 (2) 로 표현 가능하다.

$$FER_{Hn} = 1 - ((1-p)^{s+r} + (s+r)(1-p)^{s+r-1}) \quad (2)$$

식(2)는 기존의 상태 레지스터와 추가된 패리티 레지스터를 고려하여 오류가 발생할 확률을 나타낸 것이다. 이 때 r 은 추가되는 패리티 레지스터의 비트

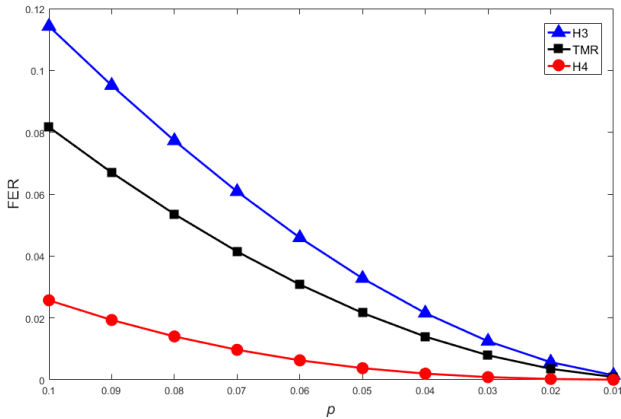


그림3. 비트 오류율 ρ 에 대한 프레임 오류율.

크기이며, 오류정정능력에 따라 결정할 수 있는 해밍 길이 n 에 따라 r 이 결정된다.

III. 실험 결과

삼중 중복 (TMR) [3] 기법과 해밍 부호화 (Hamming Codes) [4] 기법을 비교하기 위하여 유한 상태의 개수를 8로 고정한 후 결합 감내 기능이 추가된 유한 상태 기계 (FSM) 시스템을 구현하였다. 식 (1)~(2)를 기반으로 다양한 비트 오류율 ρ 에 따른 삼중 중복 (TMR) [3]과 해밍 부호화 (Hamming Codes) [4] 의 오류 정정 성능은 그림 3과 같다. 삼중 중복 (TMR) [3] 기법 대비 해밍 길이 4를 가지는 해밍 부호화 (H4) [4] 기법은 우수한 성능을 보이며, 해밍 길이 3을 가지는 해밍 부호화 (H3) [4] 기법은 열등한 성능을 보인다.

실제적인 하드웨어 복잡도를 비교하기 위하여 다양한 결합 감내 시스템들을 180 nm CMOS 공정을 이용하여 200 MHz로 합성을 진행하였다. 표 1에 의하면 삼중 중복 (TMR) [3] 기법이 해밍 부호화 (Hamming Codes) [4] 기법 보다 복잡도가 낮고 임계경로지연 또한 짧다. 해밍 부호화 (Hamming Codes) [4] 의 경우 해밍 길이 n 이 증가함에 따라 하드웨어 복잡도가 증가하고 임계경로지연 또한 길어지는 것을 확인하였다.

IV. 결론

본 논문에서는 유한 상태 기계 (FSM) 에 적용 가능한 결합 감내 시스템인 삼중 중복 (TMR) [3] 기법과 해밍 부호화 (Hamming Codes) [4] 기법을 오류 정정 성능과 하드웨어 측면에서 분석하였다.

표1. 180nm 공정, 200MHz로 삼중 적분 (TMR), H3, H4를 적용한 유한 상태 기계 (FSM) 을 합성한 결과

Type	TMR [3]	H3 [4]	H4 [4]
Gate Count	119.35	211.19	253.99
Critical Path Delay	2.78	4.29	4.60
Area \times Time	331.79	906.00	1168.35

실험 결과에 따르면 하드웨어 구현 측면에서는 삼중 중복 (TMR) [3] 기법을 적용하는 것이 유리 하지만, 더 높은 신뢰도를 얻기 위해서는 해밍 길이 4 이상의 해밍 부호화 (Hamming Codes) [4] 기법을 적용하는 것이 필요하다.

ACKNOWLEDGEMENTS

이 성과는 한국연구재단의 지원 (2017R1C1B501 5962)의 지원을 받아 수행된 연구임. EDA 툴은 IDEC 의 지원을 받음.

참고 문헌

- [1] G. Burke and S. Taft. "Fault tolerant state machines", in *Proceedings of the Military and Aerospace Programmable Logic Devices Workshop (MAPLD' 04)*. Jet Propulsion Laboratory, Pasadena, CA. 2004.
- [2] L. Rui and K. Yan-jia, "A method of synchronous-feedback based state machine with triple modular redundancy," *Proceedings of 2014 IEEE Chinese Guidance, Navigation and Control Conference*, pp. 136-139, Yantai, 2014,
- [3] K. S. Morgan, D. L. McMurtrey, B. H. Pratt and M. J. Wirthlin, "A Comparison of TMR With Alternative Fault-Tolerant Design Techniques for FPGAs," in *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 2065-2072, Dec. 2007.
- [4] R. Rochet, R. Leveugle and G. Saucier, "Analysis and comparison of fault tolerant FSM architecture based on SEC codes," *Proceedings of 1993 IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems*, pp. 9-16, Venice, Italy, 1993.