

건강한 모바일 스토리지를 위한 초저전력 오류정정 시스템

유호영¹, *이영주²

¹충남대학교 전자공학과

²포항공과대학교 전자전기공학과

e-mail : *hyyoo@cnu.ac.kr, youngjoo.lee@postech.ac.kr*

Ultra-low-power Error-correcting System for Healthy Mobile Storages

Hoyoung Yoo¹, *Youngjoo Lee²

¹Department of Electronics Engineering, Chungnam National University

²Department of Electrical Engineering, POSTECH

Abstract

With the increase in the number of P/E cycles, the data integrity of recent NAND flash memories is seriously deteriorated, and the soft-decision error-correction codes (ECCs) are normally used to ensure the long-life of memories. For the energy-efficient mobile storages, however, it is necessary to extend the period of hard-decision ECCs rather than the soft-decision ECCs with power-starving sensing operations. In this paper, we introduce the concept of the healthy storages, and provide several ECC techniques that can prolong the healthy-life of NAND flash memories as long as possible, leading to the energy-efficient mobile storages.

I. 서론

IoT 및 센서 시스템의 발전으로 인하여 저전력 모바일 시스템에 대한 수요가 지속적으로 증가하고 있으며, 이를 위해서는 모바일 스토리지에 소모되는 에너지를 최적화 하는 작업이 필수적으로 요구된다. 최근

모바일 스토리지에 적용되는 MLC (multi-level cell) NAND 플래시 메모리는 메모리의 program/erase (P/E) 사이클이 증가할 경우 저장 공간의 신뢰성이 심각하게 훼손된다는 특징이 있으며, 이를 극복하기 위하여 다양한 오류정정부호 (ECC)의 활용이 필수적으로 요구된다 [1]. 특히, 그림 1과 같이 상대적으로 오류율이 낮은 PE 사이클이 적은 영역에서는 간단한 hard-decision (HD) ECC를, PE 사이클이 증가하여 오류율이 매우 높아지는 영역에서는 메모리의 수명을 최대한 늘리기 위하여 soft-decision (SD) ECC를 사용하는 것이 일반적이다. 하지만 SD ECC는 연산 자체가 복잡하여 복호화 과정에서 에너지를 많이 소비하며, 메모리로부터 보다 상세한 신뢰정보를 얻는 과정에서 많은 수의 센싱 작업들을 요구하는 과정에서도 HD ECC에 비하여 많은 에너지를 소비한다 [2].

저전력 모바일 스토리지를 위해서는 ECC 연산에 소비되는 전력을 극단적으로 낮추어야 하며, 이를 위해서는 수명을 극대화 시키는 방향이 아니라 HD ECC만을 사용하는 구간인 건강한 상태를 최대한 유지시키는 연구가 필요하다. 즉, 간단한 복호화 연산만으로 강력한 오류정정 성능을 갖는 HD ECC의 개발이 요구되고 있다. 본 논문에서는 건강한 메모리 상태를 유지시켜 SD ECC의 사용 시기를 지연시킬 수 있는 다양한 HD ECC에 대하여 소개하고, 복호화 과정에서 전력소비를 낮출 수 있는 최적화 기법들에 대하여 소개한다.

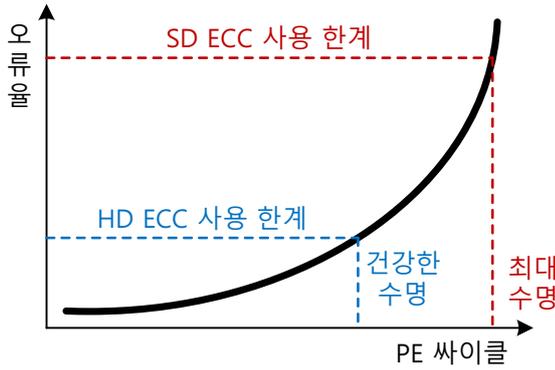


그림 1. 모바일 스토리지의 PE 사이클 증가에 따른 ECC의 사용

II. 본론

2.1 BCH ECC 복호화기의 최적화

랜덤 오류에 대한 우수한 오류정정성과 복호화 과정에서의 간단한 연산으로 인하여 BCH ECC는 스토리지에서 가장 널리 사용되는 HD ECC 이다 [3]-[5]. BCH ECC의 복호화 과정은 일반적으로 syndrome calculation (SC), key-equation solver (KES), Chien search (CS)로 총 3단계로 이루어진다 [3].

이 중 SC와 CS의 연산은 복수의 Galois-field (GF) 덧셈기와 곱셈기를 수반하며, 이들은 행렬 연산을 통하여 수학적으로 모델링 할 수 있다. 행렬 연산의 구현과정에서 common sub-expression (CSE) 공유 기법이 적용될 수 있으며, 이를 통하여 구현에 요구되는 XOR 게이트의 수를 비약적으로 절감할 수 있다 [6], [7]. CSE의 공유 과정에서 fan-out 증가로 인한 성능 감소를 최소화 하고자 fan-out의 수를 제한하는 방식의 고유과정을 적용하는 것이 필요하며, 이를 통하여 SC 및 CS 연산의 에너지 효율을 향상시킬 수 있다 [3]. 전체 ECC의 길이에 비하여 오류의 개수가 적기에 오류가 날 가능성을 추측하여 해당 경우에만 CS 연산을 활성화하는 방식이 보고되었으며, 이를 통하여 CS 연산의 에너지 소모를 50%이상 절감할 수 있다 [8].

KES 연산의 경우 SC 및 CS 연산에 비하여 사이클 수가 적게 필요하기에, 폴딩 기법을 활용하여 연산에 필요한 연산자의 수를 줄일 수 있다 [3]. 직관적인 폴딩 구조에서 데이터간의 의존성을 개선하여 서로 다른 폴딩 연산들을 중첩시킬 수 있으며, 이를 통하여 같은 폴딩 계수를 사용하지만 전체 연산에 필요한 사이클의 수를 줄이는 KES 연산이 가능하다. 이는 KES에 할당된 사이클의 수가 정해진 상황에서 더욱 큰 폴딩 계수를 적용할 수 있음을 의미하며, 결과적으로 KES 연산

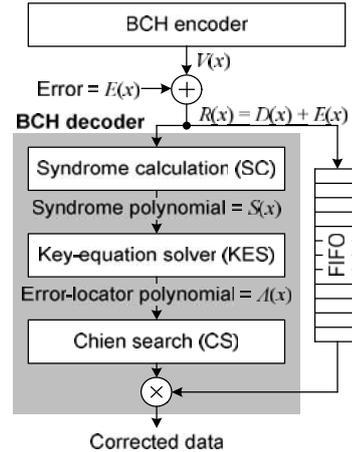


그림 2. BCH ECC의 복호화 과정

의 복잡도를 낮출 수 있다 [3]. 기존의 연산자간의 폴딩을 적용한 광역-폴딩 기법에 더하여, 연산자 내부에 사용되는 GF 곱셈기의 내부를 균등한 셀 기반의 구조로 설계하여 로컬-폴딩을 가능하게 할 수 있다 [9]. 이러한 로컬-폴딩은 기존의 폴딩 기법에 비하여 더욱 높은 면적-효율을 가능하게 하며, 이를 통하여 보다 적은 복잡도를 갖는 BCH 복호화기의 설계가 가능하다.

2.2 Concatenated-BCH ECC 복호화기의 최적화

모바일 스토리지의 건강한 수명을 오랫동안 유지하기 위해서는 그림 1에서 HD ECC가 사용되는 기간을 늘려야 한다. 따라서 기존의 BCH ECC보다 강력한 오류정정성을 갖는 HD ECC가 요구된다. Block-wise Concatenated-BCH (BC-BCH) ECC는 작은 길이의 구성 부호들의 조합을 통하여 정의되며, 반복적인 복호화 과정을 통하여 HD ECC의 성능을 극대화 할 수 있다 [10]. 개별 구성 부호는 일반적으로 BCH ECC가 활용되며, 2차원적인 배열과정에서 구성 부호의 길이를 개별적으로 최적화 하고 실패하는 부호들에 대한 협동적 복호과정 (collaborative decoding)을 새롭게 정의하는 작업을 통하여 보다 강력한 오류정정성을 얻을 수도 있다 [11].

이렇게 정의되는 BC-BCH ECC는 개별 구성 부호의 길이가 기존의 단일 BCH 부호에 비하여 매우 짧기에 복호화기의 하드웨어 구조가 극단적으로 간단해진다는 장점이 있다. 하지만 반복적인 복호화 과정을 요구하기에 고속의 처리속도를 구현하기가 어려워진다. 이를 해결하기 위하여 SC 연산의 선형성을 이용하는 구조가 널리 사용된다 [12]. 특정 구성 부호의 복호화 과정에서 오류가 검출될 경우, 해당 블록을 공유하는 다른 구성 부호의 syndrome의 변화율을 즉각적으로 계산할 수 있으며, 이를 통하여 새롭게 SC 연산을 수행하지

않고서도 KES 연산의 시작이 가능해진다. 또한 SC 연산을 위한 내부 버퍼의 접근이 완화되기에 전력소모의 측면에서도 개선된 결과를 얻을 수 있다.

III. 성능 평가 및 향후 연구 방향

그림 3은 NAND 플래시 메모리 기반 스토리지를 지원하는 ECC 복호화기의 구현 결과를 표현하고 있다. 비슷한 부호율 (code rate)를 가지는 [2]와 [3]의 구현 결과를 비교할 경우, SD ECC인 LDPC 부호의 오류정정 성능이 HD ECC인 BCH 부호에 비하여 월등하게 좋음을 알 수 있다. 하지만 LDPC 부호로 대표되는 SD ECC는 HD ECC에 비하여 100배에 가까운 에너지를 필요로 하며, 추가적으로 복잡한 메모리 센싱 과정을 요구한다. 따라서 스토리지의 건강한 수명을 유지할 수 있는 강력하고도 간단한 HD ECC의 개발이 지속되고 있음을 알 수 있다. 특히, BC-BCH ECC의 활용은 HD ECC 복호화기 중에서 가장 향상된 에너지 효율을 실현할 수 있음을 알 수 있다. 그림 3에서 표현되었듯, BC-BCH의 낮은 에너지 효율을 유지하면서도 LDPC 부호와 비견되는 오류정정 성능을 실현하는 HD ECC를 개발할 경우, 이는 모바일 스토리지의 건강한 수명을 비약적으로 증진시킬 수 있다고 판단된다. 이러한 강력한 HD ECC를 위해서 현재 다양한 방식의 concatenated BCH 부호들이 연구되고 있으며, 주로 기존의 BC-BCH ECC의 데이터 의존성을 보다 강화하는 방식으로 연구가 진행되고 있다. 예를 들어 사각형 방식의 배열이 아닌 삼각형 구조의 2D 배열이 제안되고 있으며, 이를 통하여 개별 구성 부호의 성능을 향상시키는 최적화가 연구되고 있다 [13], [14].

IV. 결론

본 논문에서는 건강한 모바일 스토리지라는 개념을 바탕으로 다양한 HD ECC 기법들에 대하여 소개하였다. 저전력 모바일 시스템의 핵심인 초저전력 스토리지를 위해서는 단순히 사용연한을 늘리는 방식의 ECC가 아닌, 한 번의 센싱 과정만을 필요로 하는 HD ECC가 오랫동안 사용되어야 하며, HD ECC 복호화기의 구조 역시 최대한 간단하게 유지되어야 한다. 이를 위하여, 기존의 BCH ECC 복호화기의 최적화 기술에 더하여 보다 강력한 오류정정능력을 갖는 HD ECC의 개발이 요구된다. 그 중에서도 BC-BCH 부호는 강력한 성능과 낮은 복호화기 복잡도를 동시에 실현할 수 있는 매력적인 후보로 주목받고 있으며, 해당 부호의 성능을 개선하는 연구가 진행되고 있다.

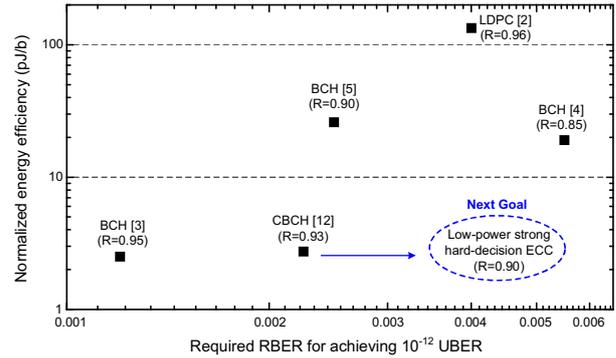


그림 3. 스토리지를 위한 ECC 복호화기의 구현 결과

Acknowledgement

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIP) (No. 2016R1C1B1007593) and by the IC Design Education Center (IDEC).

참고문헌

- [1] M. N. Kaynak, P. R. Khayat, and S. Parthasarathy, "On die bit error rate estimator for NAND flash memory," *IEEE Transactions on Circuits Systems II: Express Briefs*, in press.
- [2] J. Kim and W. Sung, "Rate-0.96 LDPC decoding VLSI for soft-decision error correction of NAND flash memory," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 5, pp. 1004-1015, May 2014.
- [3] Y. Lee, H. Yoo, I. Yoo, and I.-C. Park, "High-throughput and low-complexity BCH decoding architecture for solid-state drives," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 5, pp. 1183-1187, May 2014.
- [4] Y. Lee, H. Yoo, and I.-C. Park, "A 3Gb/s 2.09mm² 100b error-correcting BCH decoder in 0.13um CMOS process," in *Proc. IEEE Asia and South Pacific Design Automation Conference (ASP-DAC)*, Jan. 2013, pp. 85-86.
- [5] K. Lee, S. Lim, and J. Kim, "Low-cost, low-power and high-gthroughput BCH decoder for NAND flash memory," in *Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2012, pp. 413-415.

- [6] Y. Lee, H. Yoo, and I.-C. Park, "Low-complexity parallel Chien search structure using two-dimensional optimization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 58, no. 8, pp. 522-526, Aug. 2011.
- [7] Y. Lee, H. Yoo, and I.-C. Park, "Small-area parallel syndrome calculation for strong decoding," *IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP)*, Mar. 2012, pp. 1609-1612.
- [8] H. Yoo, Y. Lee, and I.-C. Park, "Low-power parallel Chien search architecture using a two-step approach," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 3, pp. 269-273, Mar. 2016.
- [9] B. Park, S. An, J. Park, and Y. Lee, "Novel folded-KES architecture for high-speed and area-efficient BCH decoders," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 5, pp. 535-539, May 2017.
- [10] S. Cho, D. Kim, J. Choi, and J. Ha, "Block-wise concatenated BCH codes for NAND flash memories," *IEEE Transactions on Communications*, vol. 62, no. 4, pp. 1162-1177, Apr. 2014.
- [11] D. Kim and J. Ha, "Quasi-primitive block-wise concatenated BCH codes with collaborative decoding for NAND flash memories," *IEEE Transactions on Communications*, vol. 63, no. 10, pp. 3482-3496, Oct. 2015.
- [12] Y. Lee, H. Yoo, J. Jung, J. Jo, and I.-C. Park, "A 2.74-pJ/bit, 17.7-Gb/s iterative concatenated-BCH decoder in 65-nm CMOS for NAND flash memory," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 10, pp. 2531-2540, Oct. 2013.
- [13] H. D. Pfister, S. K. Emmadi, K. Narayanan, "Symmetric product codes," in *Proc. Information Theory and Applications Workshop (ITA)*, 2015.
- [14] C. Hager, H. D. Pfister, A. Graell, and F. Brannstrom, "Deterministic and ensemble-based spatially-coupled product codes," in *Proc. IEEE international Symposium on Information Theory (ISIT)*, 2016, pp. 2114-2118.