극 부호 연속 제거 리스트 복호화를 위한 효율적인 소팅 하드웨어의 구현

*유호영
충남대학교 전자공학과
e-mail : *hyyoo@cnu.ac.kr*

Efficient Sorting Architecture for Successive-Cancellation List Decoding of Polar Codes

*Hoyoung Yoo
Department of Electronics Engineering,
Chungnam National University

Abstract

This paper proposes an efficient sorting architecture for successive-cancellation list decoding of polar codes. Whereas the previous metric sorters provide ordered sorting results, the proposed structure makes un-ordered sorting results resulting in eliminating unnecessary hardware resource and shortening the critical path delay when L smallest metrics are chosen among 2L candidates. As a result, the proposed structure improves up to approximately 60 % compared to the original bitonic sorting network measured by area-time (AT).

I. 서론

극 부호는 채널 용량에 근접하는 특성과 저 복잡도의 부호화, 복호화 기법으로 인하여 각광 받고 있는 최신 오류 정정 부호 중 하나이다 [1]. 특히, 연속 제거 리스트 (Successive-Cancellation List) 복호화 기법은 복호화 과정에서 L개의 가능한 코드워드를 유지함으로써 기존의 연속 제거 (Successive-Cancellation) 복호화 기법 보다 월등히 우수한 오류 정정 능력을 보인다.[2] 연속 제거 리스트 기법에서는 하나의 비트를 복호화 할 때 마다 L개의 후보 코드워드가 2L개의 후보 코드워드로 확장되고, 이 때 후보 코드워드의 metric을 비교하여 2L개의 후보자 중 L개의 후보자를 선택하는 과정을 진행한다.

극 부호 복호기 구현에 있어서 이러한 metric sorter의 위치가 동작 주파수를 결정하는 critical path 상에 존재하기 때문에 효율적인 metric sorter의 구성은 매우 중요한 이슈이다. Metric sorter의 복잡도와 지연시간을 단축시키기 위하여 많은 연구가 진행되어 왔지만, 2L개의 후부자 중 작은 값을 가지는 L개를 선택할 때 선별된 L개의 후보자를 정렬함으로써 불필요한 연산과 지연시간을 허비해왔다. 본 논문에서는 비 정렬된 L개의 후보 코드워드를 제공하며 정렬에 불필요한 하드웨어를 효과적으로 제거하는 저면적 고속 metric sorter 하드웨어 구조를 제안한다.

II. 본론

2.1 Bitonic Sorter Structure

연속 제거 기법에서 하나의 비트의 복호화 과정을 진행하면 해당 비트의 Log-Likelihood Ratio (LLR) 값이 연산되고, LLR 값이 0 보다 크면 해당 비트를 0으로

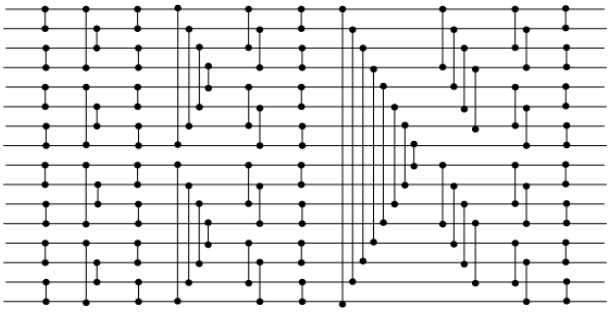

그림 1. 리스트 L=8 인 bitonic sorting 구조

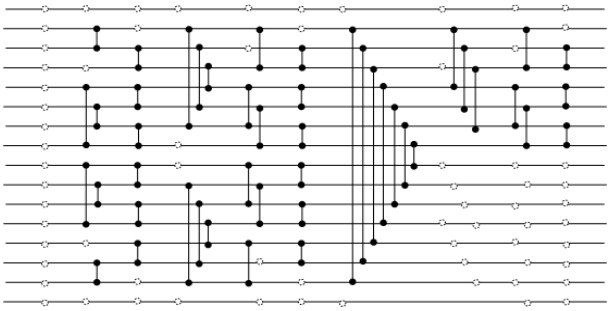

그림 2. 리스트 L=8 인 pruned bitonic sorting 구조

LLR 값이 0보다 작으면 해당 비트를 1로 추정한다. 반면, 연속 제거 리스트 기법에서는 L개의 이전 후보 코드워드가 각각 복호화를 진행하는 비트를 0 또는 1로 가지는 후보 코드워드로 확장이 되며 따라서 2L개의 후보 코드워드가 생기게 된다. 이때 LLR 값이 0보다 크면 1을 해당 비트로 가지는 후보 코드워드에 LLR의 절대 값을 더해주고, LLR 값이 0 보다 작으면 0을 해당 비트로 가지는 후보 코드워드에 LLR 절대 값을 더해준다. 후보 코드워드의 metric을 0으로 초기화 해주면 LLR의 절대 값은 항상 양수 값을 가지기 때문에 모든 후보 코드의 metric은 항상 양수를 가진다. 또한 LLR 절대 값이 패널티와 같이 적용되기 때문에 후보 코드워드의 metric 값이 작을수록 송신된 코드워드 일 확률이 높다.

주어진 다수의 입력을 정렬하기 위하여 그림 1에 도식화된 bitonic sorting network 구조가 전통적으로 널리 적용된다. 수평선의 왼쪽과 오른쪽은 각각 입력과 출력을 의미하며, 원형과 함께 표시된 수직선은 compare-and-swap (CAS) 회로를 나타낸다. CAS 회로는 2개의 입력에 대하여 작은 값을 위로 큰 값을 아래로 배치시킨다. 리스트 L=8인 경우 그림 1과 같이 80개의 CAS 회로가 필요하고 총 10 단의 단계를 요구한다.

2.2 Pruned Bitonic Sortint Structure

[4]은 metric 사이의 관계를 분석하여 전통적인 bitonic sorter의 복잡도를 효과적으로 낮추었다. 첫째, 첫 번째 단의 CAS 회로를 제거하였다. 연속 제거 리스트 복호화 기법을 고려해 보면 비트를 하나씩 복호할 때 마다 L개의 후보 코드워드는 LLR 값이 더해지고, 나머지 L개의 후보 코드워드는 이전 metric을 그대로 유지하게 된다. 따라서 LLR 값이 더해진 metric은 기존의 metric보다 항상 크게 되고, 이러한 metric들을 각각 쌍으로 정해주게 되면 첫 번째 단을 제거할 수 있다. 둘째, 이전 후보 코드워드 L개를 정렬이 된 상태에서 받았다면 가장 적은 metric에서 파생된 후보 코드워드 중 LLR 값이 더해지지 않는 후보 코드워드는 항상 다음 복호화를 위한 L개의 코드워드로 선택이 될 것이고, 이와 마찬가지로 가장 큰 metric에서 파생된 후보 코드워드 중 LLR 값이 더해진 후보 코드워드는 항상 다음 복호화를 위한 L개의 코드워드에서 배제될 것이다. 끝으로, pruned bitonic sorting 구조에서는 2L개의 후보 코드워드의 metric 중 작은 값을 가지는 정렬된 L개의 코드워드만 필요하므로, L+1번 째 metric부터 2L 번째 metric은 정렬을 할 필요가 없다. 결과적으로 앞서 열거한 세 가지 경우에 해당하는 CAS 회로를 완벽하게 제거할 수 있다. 이를 적용한 L=8 리스트의 pruned bitonic sorting 구조가 그림 2에 도식화 되었다. 전체적으로 CAS의 개수는 46개를 필요로 하며 9단의 stage를 요구한다.

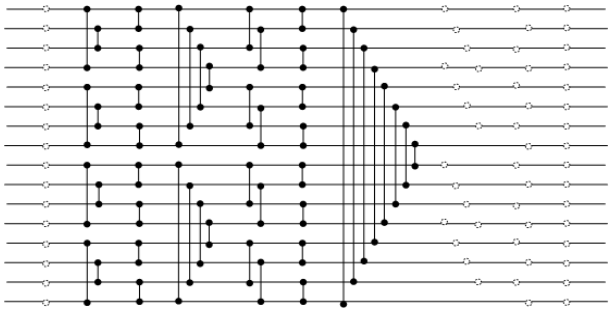

그림 3. 리스트 L=8 인 제안하는 하드웨어 구조

Ⅲ. 구현

극 부호 복호기 구현에 있어서 metric sorter가 동작 주파수를 결정하는 critical path 상에 존재하기 때문에 metric sorter는 반드시 짧은 critical path delay와 낮은 하드웨어 복잡도를 가져야 한다. 이를 달성하기 위하여 제안하는 sorting structure에서는 2L개의 metric에서 L개의 metric을 선별할 때 선택된 L개의 metric들을 정렬하지 않는 방법을 적용하였다. 이를 통해 기존의 bitonic sorting network에서 최종 L개의 metric 정렬에 필요로 했던 CAS 회로를 완벽하게 제거할 수

	Methods	#CAS	CPD	AT	Ratio
L=16	Original	240	15	3600	1.0
	Pruned	169	14	2366	0.66
	Proposed	160	10	1600	0.44
L=32	Original	672	21	14112	1
	Pruned	526	20	10520	0.75
	Proposed	480	15	7200	0.51
L=64	Original	1792	28	50176	1.0
	Pruned	1489	27	40203	0.80
	Proposed	1344	21	28224	0.56

표 1. Metric Sorter 구현 방법에 따른 하드웨어 비교

있고 결과적으로 critical path delay를 줄일 수 있다.

또한, pruned bitonic sorting network와 동일하게 제안하는 sorting 구조에서도 첫 번째 단의 CAS 회로를 제거할 수 있다. 제안된 하드웨어 구조를 활용한 L=8 리스트 sorting network가 그림 3에 나타나있다. 전체 48개의 CAS 회로를 필요로 하고 6단의 단계를 요구한다. Original bitonic과 pruned bitonic 구조에서는 각각 10단과 9단의 CAS 단계가 필요하므로 timing-critical 한 하드웨어 구조에 적합하지 않다.

추가적으로 표 1은 다양한 리스트 사이즈에 대한 CAS 회로의 개수와 단 수를 비교하고 있다. 표 1에 따르면 제안하는 sorting 하드웨어 구조는 original bitonic 구조 대비 최대 56%, pruned bitonic 구조 대비 34% 성능 개선을 보인다.

Ⅳ. 결론 및 향후 연구 방향

본 논문에서는 극 부호 연속 제거 리스트 알고리즘을 위한 효율적인 sorting 구조를 제안하였다. 2L개의 metric 중 작은 값을 가지는 L개의 metric을 선택하는 과정에서 기존의 metric sorter들이 L개의 정렬된 결과 값을 생성하는 반면 제안하는 metric sorter는 비 정렬된 결과 값을 제공하고 이를 통해 정렬 화에 필요한 하드웨어를 완벽히 제거하였다. 추가적으로 CAS 회로 stage 수를 줄임으로써 critical path delay를 크게 감소시킬 수 있었다. 실험에 따르면 제안된 구조는 original bitonic sorter 대비 최대 60 %까지 우수한 성능을 보인다.

Acknowledgement

본 연구는 미래창조과학부 및 (재)기가코리아사업단의 '범부처 Giga KOREA사업'의 일환으로 수행하였음. [GK 16S0400, 개방형 5G 표준 모델 개발]

참고문헌

[1] E. Arikan, "Channel polarization: A method for constructing capacity achieving codes for symmetric binary-input memoryless channels," *IEEE Trans. Inf. Theory*, vol. 55, no. 7, pp. 3051-3073, Jul. 2009.

[2] I. Tal and A. Vardy, "List successive cancellation decoding of polar codes," in *Proc. IEEE ISIT*, July 2011, pp. 1-5.

[3] J. Lin and Z. Yan, "Efficient list decoder architecture for polar codes," I*EEE Trans. VLSI Syst.*, vol. 23, no. 11, pp. 2508-2518, Nov. 2015.

[4] A. Balasoukas-Stimming, M. B. Parizi, and A. Burg, "On metric sorting for successive cancellation list decoding of polar codes," in *Proc. IEEE ISCAS,* May 2015, pp. 1993-1996.